

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

015585913 **Image available**

WPI Acc No: 2003-648068/200362

XRPX Acc No: N03-515642

Driver current stabilisation method for active matrix organic light emitting diode display, has drive transistors connected in parallel during write in and series during light emission

Patent Assignee: SEL SEMICONDUCTOR ENERGY LAB (SEME); SEMICONDUCTOR ENERGY LAB (SEME); INUKAI K (INUK-I)

Inventor: INUKAI K

Number of Countries: 033 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1341148	A2	20030903	EP 20034551	A	20030228	200362 B
US 20030164685	A1	20030904	US 2003375015	A	20030228	200365
JP 2003255896	A	20030910	JP 200256555	A	20020301	200368

Priority Applications (No Type Date): JP 2002256232 A 20020830; JP 200256555 A 20020301

Patent Details:

Patent No	Kind	Lat Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

EP 1341148	A2	E	41 G09G-003/32
------------	----	---	----------------

Designated States (Regional): AL AT BE BG CH CY CZ DE DK EE ES FI FR GB
GR HU IE IT LI LT LU LV MC MK NL PT RO SE SI SK TR

US 20030164685	A1	H05B-039/04
----------------	----	-------------

JP 2003255896	A	18 G09G-003/30
---------------	---	----------------

Abstract (Basic): EP 1341148 A2

NOVELTY - Active matrix organic light emitting diode display device where dispersion OLED driver currents are suppressed. Each pixel has several drive transistors which are placed in a parallel connection state during write in of a data current to pixels and are placed in a series connection state during light emission.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a light emitting device

USE - Active matrix organic light emitting diode display.

ADVANTAGE - As a result even if dispersions do exist between the drive transistors structuring a driver element within the same pixel, the influence of the dispersions can be greatly suppressed. Therefore irregularities in the brightness of emitted light across pixels can be reduced.

DESCRIPTION OF DRAWING(S) - The drawing illustrates a pixel of the display device. pp; 41 DwgNo 1d/17

Title Terms: DRIVE; CURRENT; STABILISED; METHOD; ACTIVE; MATRIX; ORGANIC; LIGHT; EMIT; DIODE; DISPLAY; DRIVE; TRANSISTOR; CONNECT; WRITING; SERIES; LIGHT; EMIT

Derwent Class: P85; U12

International Patent Class (Main): G09G-003/30; G09G-003/32; H05B-039/04

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

15 型ディスプレイ待機の動画がケーブルを防止するために、イン

バ尔斯型の発光を行う等の用途に有用である。

【0066】 6つ目の例を、図4 (A) を用いて説明す

る。

【0067】 図4 (A) には、J行1列目に記載された画

幕11を示す。そして図幕11は、信号端子(S1)、電源端

子(S2)、第1走査端子(Ga)、第2走査端子(Gb)、トランジ

スター91～103、電源端子104、自発光端子

105を有する。図4 (A) に示す図幕11は、図1

(B) に示す図幕11を具体的にトランジスタで図示し、10

番11を示す。そして図幕11は、信号端子(S1)、電源端

子(S2)、第1走査端子(Ga)、第2走査端子(Gb)、トランジ

スター111～120、122～123、電源端子1～3、自発光端

子1～2を有する。図4 (B) に示す図幕11は、図1

(B) に示す図幕11に相当する。図4 (B) に示す図幕11は、

自発光端子91～98は第3スイッチ14に相当す

る。Dチャネル型のトランジスタ91～103は電源

端子15に相当する。nチャネル型のトランジスタ1

04は第4スイッチ18に相当する。

【0068】 トランジスタ91～94の各ゲート電源

は、第1走査端子(Ga)に接続されている。トランジスタ

95～99、100のゲート電源は、第2走査端子(Gb)

10～12に接続されている。電源端子104は、トランジスタ1

00のゲート・ソース間電圧を保持する役割を担う。な

お、トランジスタ100～103のゲート電源が大きい

場合や、印ノードの寄生容量が大きい場合は、電

源端子104は必ずしも設けなくてよい。

【0069】 図4 (A) に示す図幕11に、ビデオ信号

データ電流を有するときには、走査端子(Ga)及び第1

走査端子(Gb)に低電位信号を送り、トランジスタ1

00～103は電流経路上、互いに直列接続の関係に

な。このとき、トランジスタ100～103は電流経路

上、互いに直列接続の関係になる。一方、自発光端子1

05に電流を送るときには、走査端子(Ga)に高電位信号

を送り、トランジスタ91～98をオフ、トランジスタ

99、100をオンにする。このとき、トランジスタ1

00～103は電流経路上、互いに直列接続の関係にな

る。

【0070】 図4 (B) の例では、電動用端子15のト

ランジスタ100～103の接続関係の切替えを、第1

走査端子(Ga)及び第2走査端子(Gb)を用いて制御する。し

かし第2走査端子(Gb)により制御されるトランジスタ

は、いずれも信号端子(S1)とは接続していない。また自発

光端子105に電流を送りし発光させるか否かは、第1走

査端子(Ga)の電位によって制御する。し

かし第2走査端子(Gb)により制御されるトランジスタ

は、電動用端子15に電流を送るごとに、自発光端子8～4の発光

時間を作動する。この平均は図2 (B) の例と

同様である。

【0071】 図4 (A) に示す図幕11において、自発

光端子105の発光を行なう等の用途に有用である。

1. の約1/8分の1の大きさである。本実施の形態で

は、電動用端子は4トランジスタにより構成されている。また中間階段回路により表現することが可能となる。また中間階段回路をアナログなビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ待機の動画がケーブルを防止するために、インバ尔斯型の発光を行う等の用途に有用である。

【0072】 図4 (B) に示す図幕11は、信号端子(S1)、電源端

子(S2)、第1走査端子(Ga)、第2走査端子(Gb)、トランジ

スター91～103、電源端子104、自発光端子

105を有する。そして図幕11は、信号端子(S1)、電源端

子(S2)、第1走査端子(Ga)、第2走査端子(Gb)を防ぐため

に、インバ尔斯型の発光を行う等の用途に有用である。

【0073】 以上、本実施の表示装置、発光装置の回路

11の例として、それぞれ異なる場合と同様である。すなわち、ま

ず中間階段回路を用いることで表現することが可能とな

る。また中間階段回路をアナログなビデオ信号

データ電流を用いることで表現する場合であっても、ホールド

型ディスプレイ待機の動画がケーブルを防ぐための、イン

バ尔斯型の発光を行う等の用途に有用である。

【0074】 また中間階段回路をアナログなビデオ信号

データ電流を用いることで表現する場合であっても、ホールド

型ディスプレイ待機の動画がケーブルを防ぐための、イン

バ尔斯型の発光を行う等の用途に有用である。

【0075】 本実施の形態は、中間階段回路の構成

として、自発光端子回路電流11、自発光端子回路電流10

11、自発光端子回路電流10の約1/6倍と、大さ

な値にすることができる。そのため音量信号のため

に、自発光端子回路電流11、回路の微小電流を、広い範

域に音量信号に応じて可変となることが可能とな

る。ビデオ信号データ電流11を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

1. の約1/8分の1の大きさである。本実施の形態で

は、電動用端子は4トランジスタにより構成されてい

る。また中間階段回路により表現することが可能とな

る。また中間階段回路を用いることで表現する場合

であっても、ホールド

型ディスプレイ待機の動画がケーブルを防ぐための、イン

バ尔斯型の発光を行う等の用途に有用である。

【0076】 本実施の形態は、中間階段回路の構成

として、自発光端子回路電流11、自発光端子回路電流10

11、自発光端子回路電流10の約1/6倍と、大さ

な値にすることができる。そのため音量信号のため

に、自発光端子回路電流11、回路の微小電流を、広い範

域に音量信号に応じて可変となることが可能とな

る。ビデオ信号データ電流11を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

1. の約1/8分の1の大きさである。本実施の形態で

は、電動用端子は4トランジスタにより構成されてい

る。また中間階段回路により表現することが可能とな

る。また中間階段回路を用いることで表現する場合

であっても、ホールド

型ディスプレイ待機の動画がケーブルを防ぐための、イン

バ尔斯型の発光を行う等の用途に有用である。

【0077】 図4 (B) に示す図幕11は、信号端子(S1)、電源端

子(S2)、第1走査端子(Ga)、第2走査端子(Gb)、トランジ

スター91～103、電源端子104、自発光端子

105を有する。そして図幕11は、信号端子(S1)、電源端

子(S2)、第1走査端子(Ga)、第2走査端子(Gb)を防ぐため

に、インバ尔斯型の発光を行う等の用途に有用である。

【0078】 本実施の形態は、中間階段回路の構成

として、自発光端子回路電流11、自発光端子回路電流10

11、自発光端子回路電流10の約1/6倍と、大さ

な値にすることができる。そのため音量信号のため

に、自発光端子回路電流11、回路の微小電流を、広い範

域に音量信号に応じて可変となることが可能とな

る。ビデオ信号データ電流11を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

1. の約1/8分の1の大きさである。本実施の形態で

は、電動用端子は4トランジスタにより構成されてい

る。また中間階段回路により表現することが可能とな

る。また中間階段回路を用いることで表現する場合

であっても、ホールド

型ディスプレイ待機の動画がケーブルを防ぐための、イン

バ尔斯型の発光を行う等の用途に有用である。

【0079】 本実施の形態は、中間階段回路の構成

として、自発光端子回路電流11、自発光端子回路電流10

11、自発光端子回路電流10の約1/6倍と、大さ

な値にすることができる。そのため音量信号のため

に、自発光端子回路電流11、回路の微小電流を、広い範

域に音量信号に応じて可変となることが可能とな

る。ビデオ信号データ電流11を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

1. の約1/8分の1の大きさである。本実施の形態で

は、電動用端子は4トランジスタにより構成されてい

る。また中間階段回路により表現することが可能とな

る。また中間階段回路を用いることで表現する場合

であっても、ホールド

型ディスプレイ待機の動画がケーブルを防ぐための、イン

バ尔斯型の発光を行う等の用途に有用である。

【0080】 本実施の形態は、中間階段回路の構成

として、自発光端子回路電流11、自発光端子回路電流10

11、自発光端子回路電流10の約1/6倍と、大さ

な値にすることができる。そのため音量信号のため

に、自発光端子回路電流11、回路の微小電流を、広い範

域に音量信号に応じて可変となることが可能とな

る。ビデオ信号データ電流11を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

能となる。また中間階段回路を用いること

が、中間階段回路の構成に応じて可変となることが可

により表現することが容易となることがある。また中間階段表現をアナログ的なビデオ信号データ処理を用いることで表現する場合であっても、ホールド型ディスプレイスイッチングの効果を防ぐために、インバ尔斯型の発行を行なうこと等に利点がある。

【0093】実施形態3では、本発明の表示装置1、表示装置1における回路の平面レイアウト(上面図)例を表示する。本例の回路基板は、図3(B)に示した回路基板である。

【0094】図6には、行列目の回路基板11を示す。図6において、二点破線で囲んだ部品が回路基板11に相当する。点線部の部品は、ボリシリコン膜である。右上り斜目と右下り二直角斜は、それぞれ右の層の導体膜(金膜)である。直角斜の端部は、自基板端子54の端部に接続する。チップ電路の端部は86は自基板端子54の端部に接続する。

[0100] 図 7 (A) の例においては、倍音検出回路 1803 と、走査検出回路 1804 及び 1805 が接続されているが、本発明はこれに限定されるものではない。例えば、第 2 の走査検出回路 1805 を欠いてよい。また、倍音検出回路 1804 と接続する走査検出回路 1804 及び 1805 を欠いてよい。[0101] 図 7 (B) では、走査検出回路 1805 の代りに、走査検出回路 1804 及び第 2 の走査検出回路 1805 の例を、図 7 (B) を用いて説明する。図 7 (B) では、走査検出回路 1804 及び 1805 はそれぞれ、シフトレジスタ 1821、バッファ回路 1822 を有している。シフトレジスタ 1821 図 7 (B) の回路の動作を説明する。シフトレジスタ 1821 は、クロック信号 (G-CLK)、スタートバルス信号 (G-SP) に基づき、順次ビットを送出する。該バ

合であつても、他の構成にすることはできる。

【101-08】(被写体の形態6) 純粋の形態6では、トランジスタの特性曲線(図8)を用いて、本明現の効果について説明する。明現は通常にする、電圧印子を構成するトランジスタによって、2個の印子を明現する。回路回路構成としては、図2(B)のとおりである。またここで用いるトランジスタの特性曲線は、簡単にするために理想的なものとしており、実際のトランジスタとは若干の差異がある。例えば、チャネル反変圧はゼロとしてある。

【101-09】トランジスタのソースの印子を基準とし、ゲートの電位をV_G、ドレインの電位をV_D、ソース-ドレイン間に接続する電位をV_Sとする。ただし、正負の向きは適宜設定である(トランジスタがPドレーチャネル型のときは、正負を入替る等)。図8(A) (B) におけるV_GとV_Dの関係には、V_DがV_Gより大きいときと、V_DがV_Gより小さいときとがある。V_DがV_Gより大きいときの特性曲線は、図8(A) 上で、各一点印子が印字され、点線印字部は等しい。自発光群子発光時における、トランジスタ3 8の動作は、左図の一点印字が印字部の右端と801との位置である。そして求めめる自発光群子印字部は801で実現される。

【101-31】自発光群子発光時には、図2(B)のトランジスタ3 1～3 6がオフとなり、トランジスタ3 7～4 2がオンとなる。トランジスタ3 1～3 4がオフとなる。トランジスタ3 8、3 9のゲート電位はデータの印字込み時のままで保持される。そして自発光群子発光時には、トランジスタ3 9が地線印字部で動作し、トランジスタ3 8が非地線印字部で動作する。自発光群子発光時における、トランジスタ3 8のI-V、曲線は801で実現される。

相当する。

[0009] 第1走査線(Ga)下には、トランジスタ7 1～7 6、8 5が形成されている。第2走査線(Cb)下には、トランジスタ7 6～7 9が形成されている。電源端子(Vi)の下には、電源端子8 3が形成されている。

[0009] 電極用端子を構成する3つのトランジスタ8 0～8 2は同サイズで並んで互いに隣接させて形成されている。これにより、勿論から、同一回路内におけるトランジスタ8 0～8 2間のバラつきが、大きくなりにくくなることはできる。本発明の特徴である、並列印込み回路端子1 1～1 4は、並列印込み端子を構成するトランジスタ間に並んで存在する。バラつきが抑えられる手法である。したがつて、当初からバラつきが抑えられた電源のトランジスタを電極用端子に用いるのであれば、本発明の効果を非常に大きく生かすことができ好み。自発光端子の発光強度のバラつきは、さらに減少となる。

[0009] なお本発明の表示装置、発光装置を作成する工程については、例えば、時間2 0 0 1～3 4 3 9 3等をも参照できる。スピンドル用端子を構成する部品のトランジスタは、素子としてドライインしては対称的であるが、対称的であることが必ずしも界面が好ましいが、対称的であることが必ずしも界面が好ましい。

ルスは、バッファ回路1 8 2 2で電流増幅された後、定査線に入力される。こうして走査線は、1行ずつ順次選択となる。

[0103] なお必要に応じ、バッファ回路1 8 2 2内にレベルシフタを設置してもよい。レベルシフタにより、電圧振幅を変更することができる。

[0104] 次いで、位相検出回路1 8 0 3の例を、図7 (C)を用いて説明する。図7 (C)に示す位相検出回路1 8 0 3は、シフトレジスタ1 8 3 1、第1のラッチ回路1 8 3 2、第2のラッチ回路1 8 3 3、電流遮断装置1 8 3 4を有する。

[0106] 図7 (C)の回路の動作を説明する。図7 (C)の回路は、中間階層表示方式として、ディジタル時間階層法を採用した組合の回路である。

[0108] シフトレジスタ1 8 3 1は、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートペルス信号(S-SP)に基づき、順次サンプリングペルスを第1のラッチ回路1 8 3 2に出力する。各列の組合のラッチ回路1 8 3 2は、歯車バスのタイミングに従って、ディジタルペルス信号を順次読み込み、第1のラッチ回路1 8 3 2において、組合列までビデオ信号の読み込みが完了すると、第2のラッチ回路1 8 3 3に

[0111] ま、トランジスタ 3.8、3.9 の特性曲線として、いげもせし、一点鉛太曲線 8.0 が対応する場合を考えてる。

[0112] データ電流印込み時に、図 2 (B) のトランジスタ 3.1～3.6 がオフとなる。トランジスタ 3.1～3.4 がオフとなることから、回路の用意を構成する 2 個のトランジスタ 3.8、3.9 では、ゲートとドレインが短絡される。よってトランジスタ 3.3、3.9 の動作点は、一点鉛太曲線 8.0 以上である。つまり 8.0 と 8.01 の交点の鉛太曲線 1.2 倍が、データ電流印込み時におけるトランジスタ 3.8 の特性曲線となる。

[0113] 図 2 (B) のトランジスタ 3.1～3.4 がオフとなることから、トランジスタ 3.8、3.9 の動作点は、トランジスタ 3.8 の動作点と鉛太曲線 8.0 上の点となる。

[0114] 自発光電子発光時には、図 2 (B) のトランジスタ 3.1～3.4 がオフとなることから、トランジスタ 3.8、3.9 のゲート電位は、データ電流印込み時よりも 3.8、3.9 のゲート電位には、トランジスタ 3.8、3.9 が回路電流で動作し、トランジスタ 3.8 が昇圧電圧で動作する。そして自発光電子発光時には、トランジスタ 3.9 が回路電流で動作し、トランジスタ 3.8 が昇圧電圧で動作する。よってトランジスタ 3.8 の動作点は、一点鉛太曲線 8.0 以上である。つまり 8.0 と 8.01 の交点の鉛太曲線 1.2 倍が、データ電流印込み時におけるトランジスタ 3.8 の特性曲線となる。

[0115] 図 8 (A) 上で、回路の鉛太曲線にある二点鉛太曲線印は、長さが長い。上の二点鉛太曲線印の鉛太曲線印は、長さが短い。

[0116] 図 8 (A) 上で、回路の鉛太曲線印は、長さが長い。上の二点鉛太曲線印の鉛太曲線印は、長さが短い。

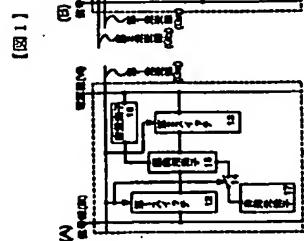
101.8】(実験的形態6)実験的形態6では、トランジスタの特性曲線(図8)を用いて、本実験の効果について説明する。まず、電界用電源を接続する。トランジスタに直結が、2回の切合を例に説明する。直角回路構成としては、図2(B)のとおりである。またここで用いるトランジスタの特性曲線は、直角に対するため理屈的なものとしてあり、実際のトランジスタは若干の差異がある。例えば、チャネル長さがトランジスタの特性曲線と一致しない。

[0109] トランジスタのソースの入出力とし
て、ゲートの電位をV_G、ドレインの電位をV_D、ソース
ドレイン間に接続する電極をI_Sとする。ただし、正負の
向きは適宜選定する(導体)。図8(A) (B) には
いて、曲線801～804は、ある一定のゲート電位V
下におけるI_S～V_D特性曲線である。一点傾斜曲線80
5は、遮断用電子を構成する2個のトランジスタの一方
について、ゲートとドレインを短絡することにより、V
とV_Dとを等しくした条件下でのI_S～V_D変化を示した。
图8(B) は、各一点傾斜印が、トランジ
スタの漏電流である。そして求めらるべき自発光素子四
角電流は、一点傾斜印の総電流値、すなはち、8
07の実線三角形印の長さである。なお図8(B) 上で
も同様の手順が成立し、求めらるべき自発光素子四角電流
I₄は807の実線三角形印の長さである。トランジ
スタの特性曲線とトランジスタ3の特性曲線が、い
ずれも等しい場合には、結果的には求めらるべき自発光素
子四角電流I₄は、データ電流電流I₁の4分の1の大きさ
となる。

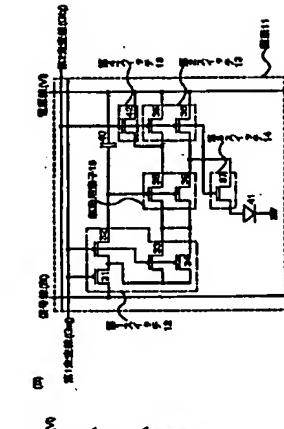
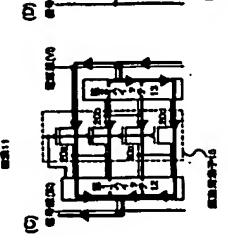
[0110] 一方に、トランジスタ3の特性曲線として
二点傾斜曲線808が対応し、トランジスタ3の特性
曲線808とデータ電流電流I₁が等しい。

27

【図 2】 本発明の表示装置、発光装置の図案を示す図。
 【図 3】 本発明の表示装置、発光装置の図案を示す図。
 【図 4】 本発明の表示装置、発光装置の図案を示す図。
 【図 5】 本発明の表示装置、発光装置の図案における電流の経路を示す図。
 【図 6】 本発明の表示装置、発光装置の図案の平面



[図 2]



[図 3]

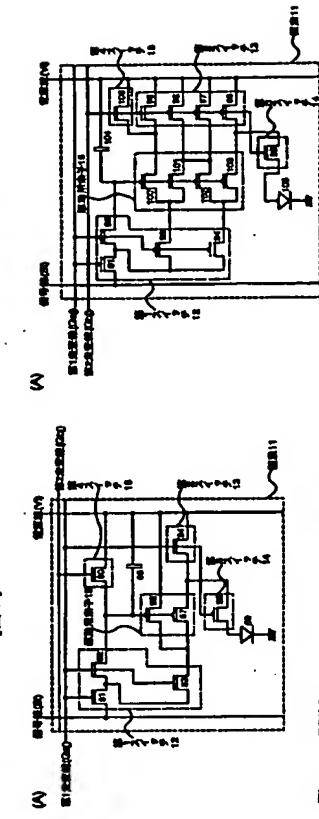
[図 4]

[図 5]

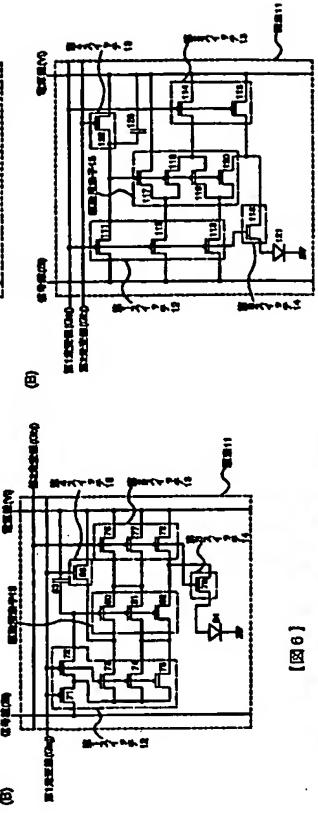
[図 6]

【図 7】 本発明の表示装置、発光装置を示す図。
 【図 8】 駆動用素子を構成するトランジスタの特性を示す図。
 【図 9】 本発明の表示装置、発光装置を適用した電子機器を示す図。
 【図 10】 公知の表示装置、発光装置の回路を示す図。

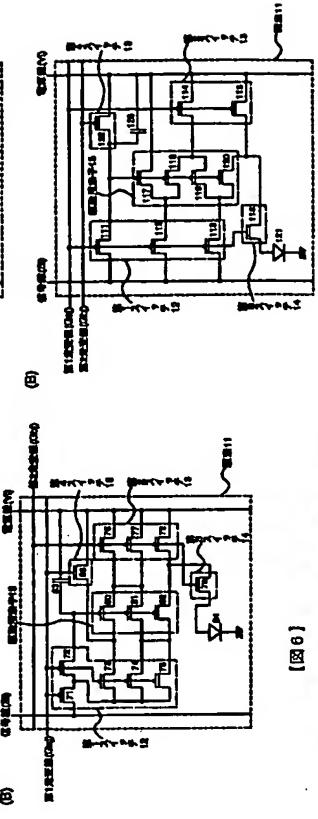
[図 7]



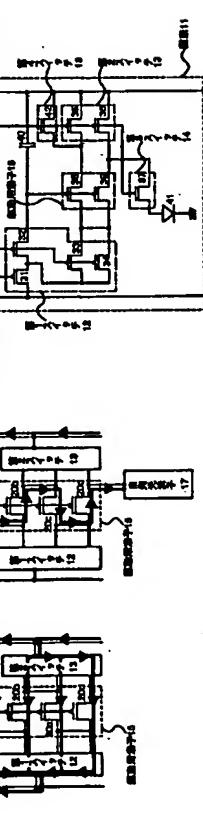
[図 8]



[図 9]

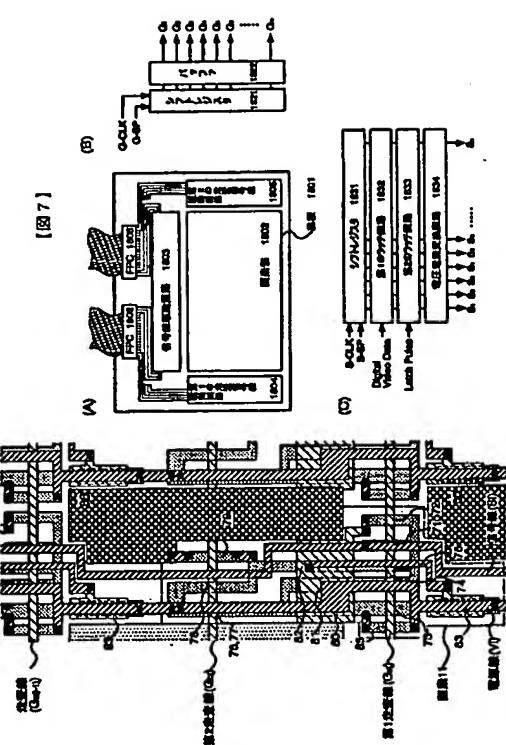


[図 10]

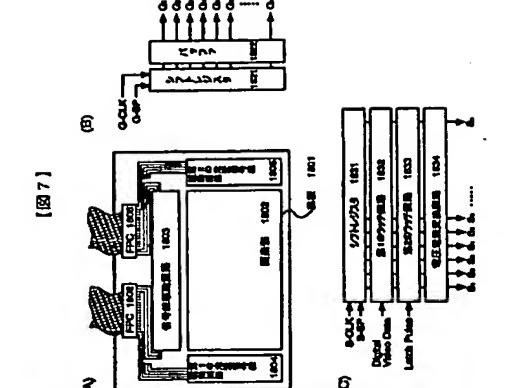


[図 11]

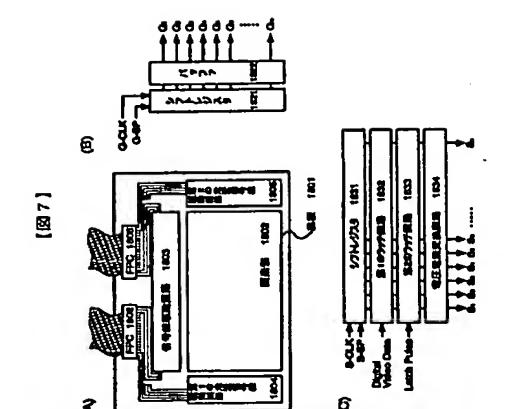
[図 12]



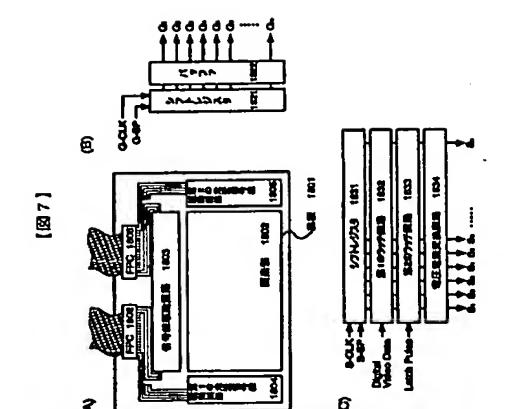
[図 13]



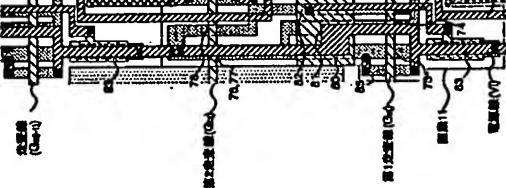
[図 14]



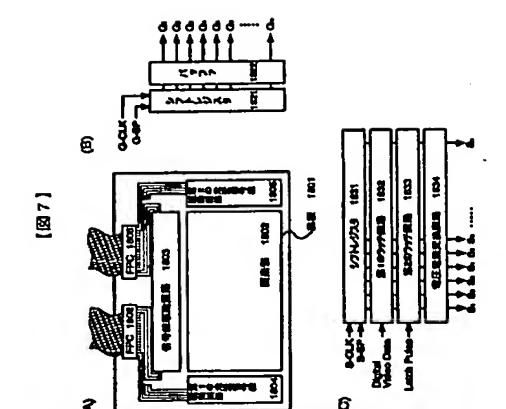
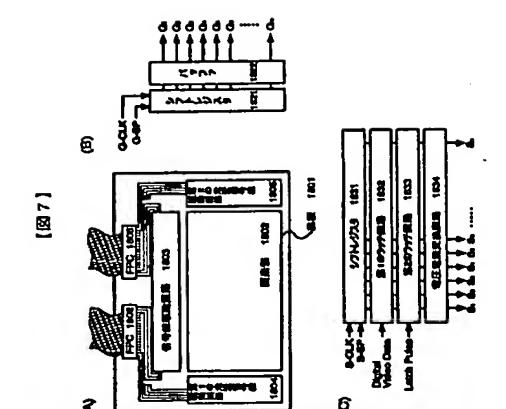
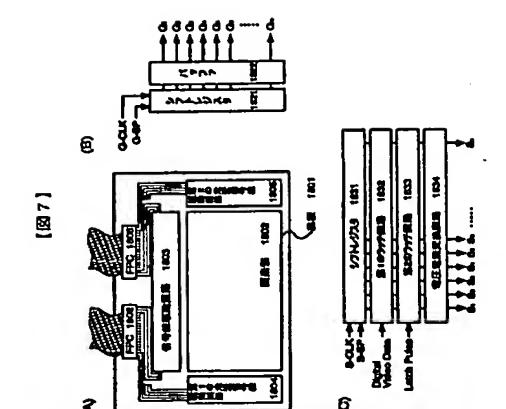
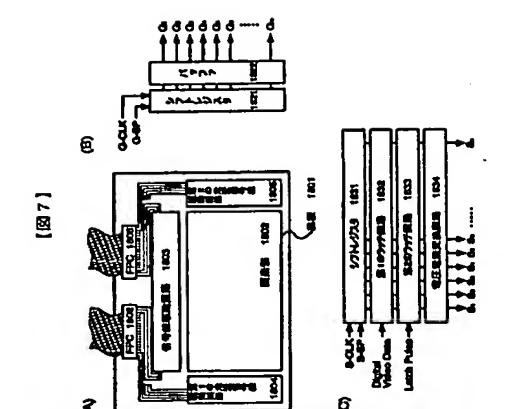
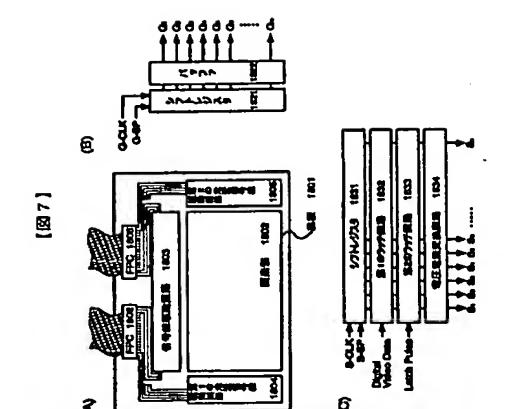
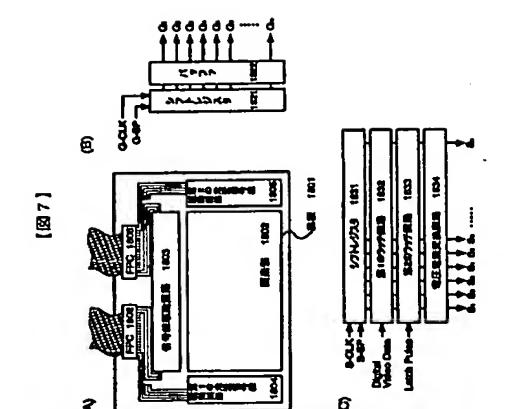
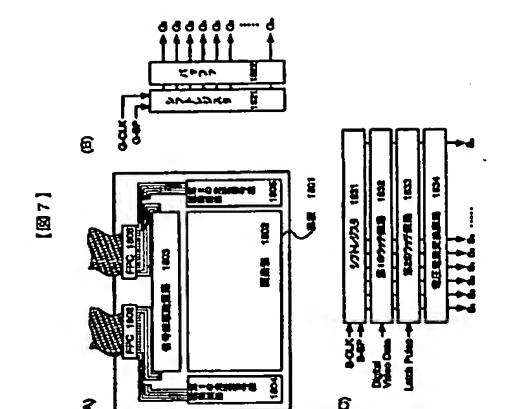
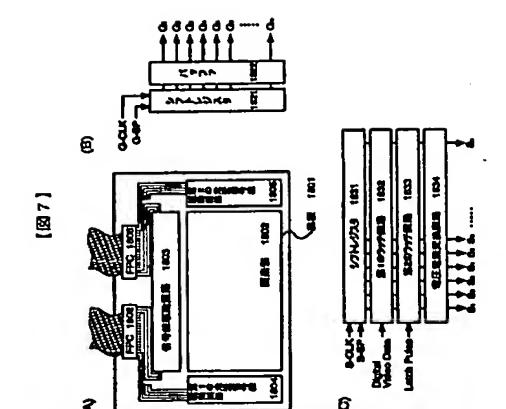
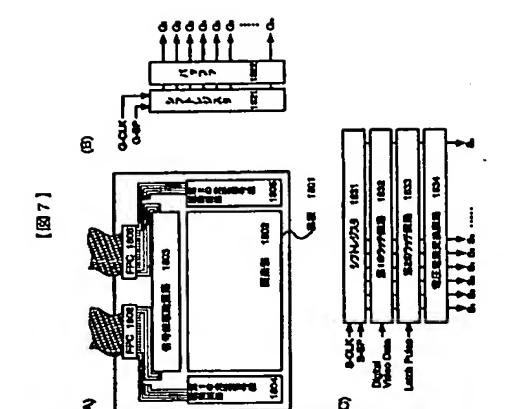
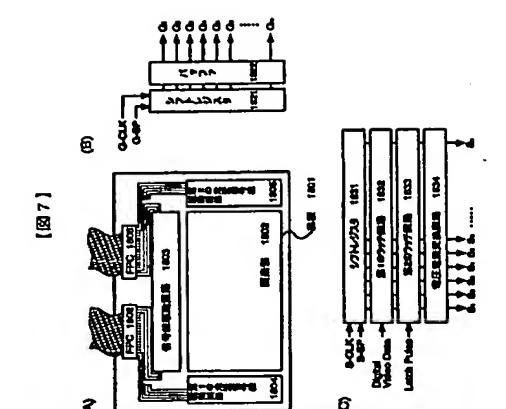
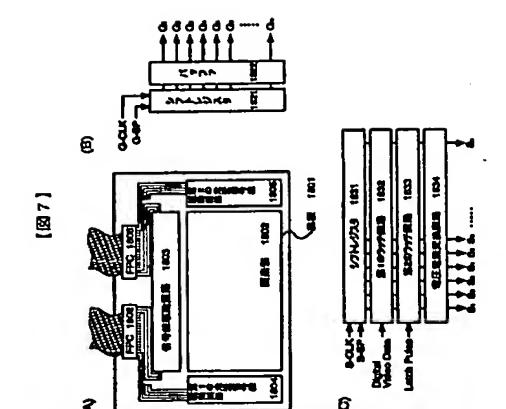
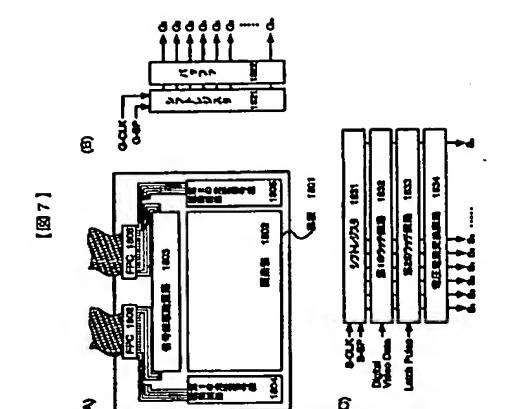
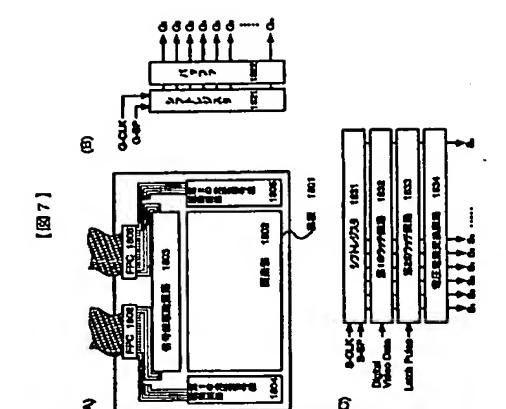
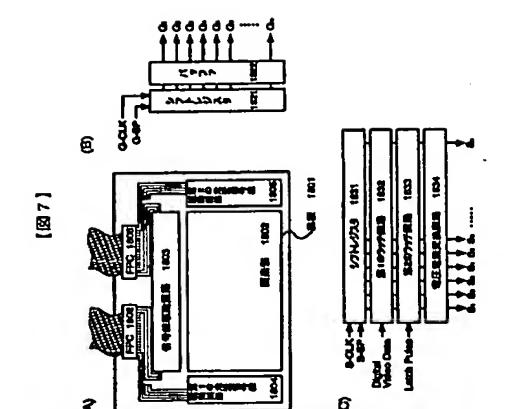
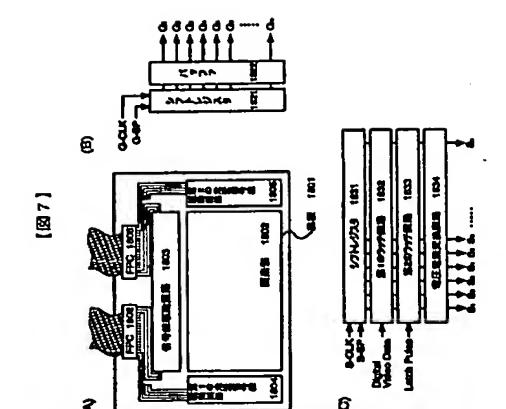
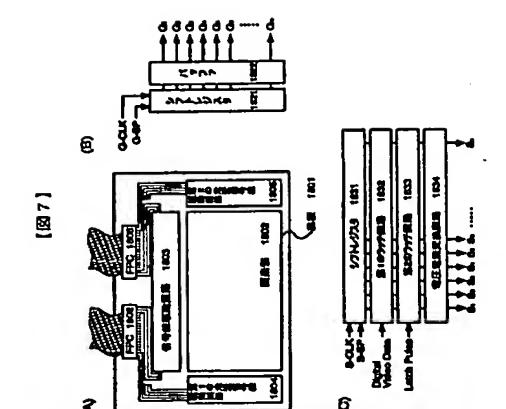
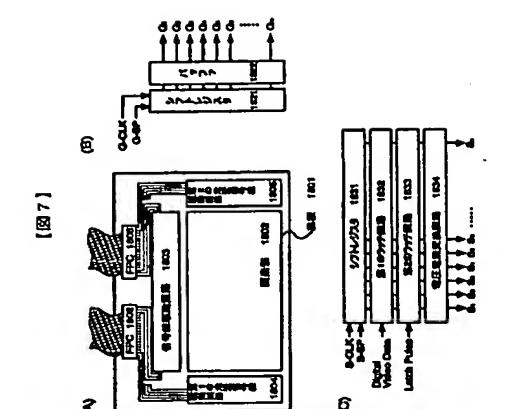
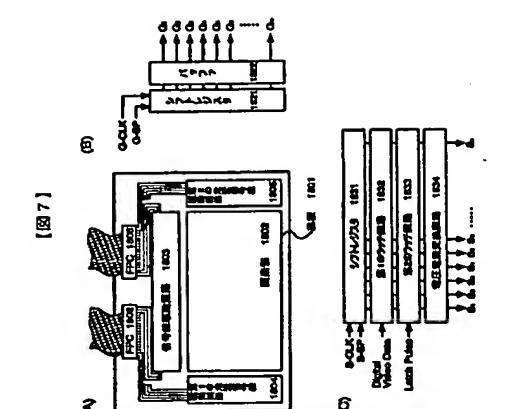
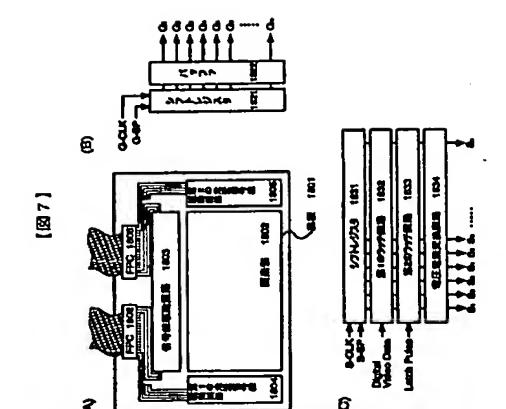
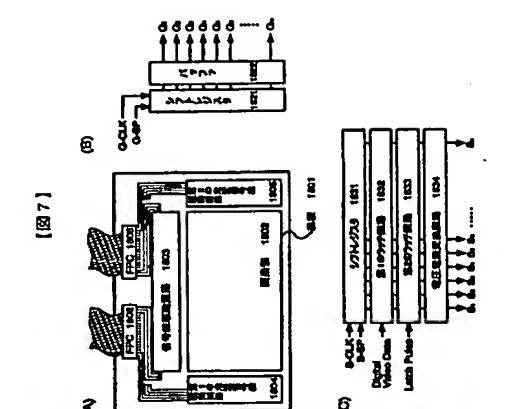
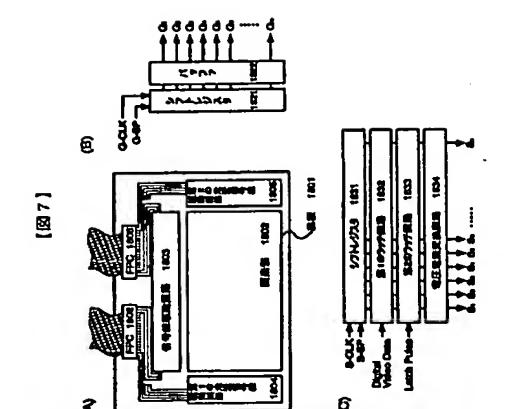
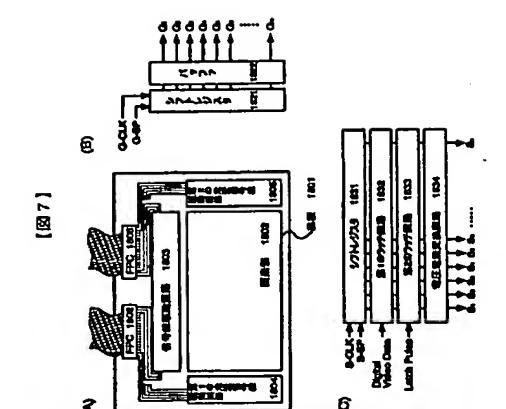
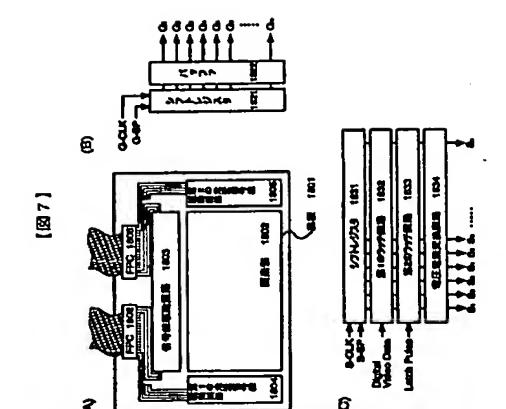
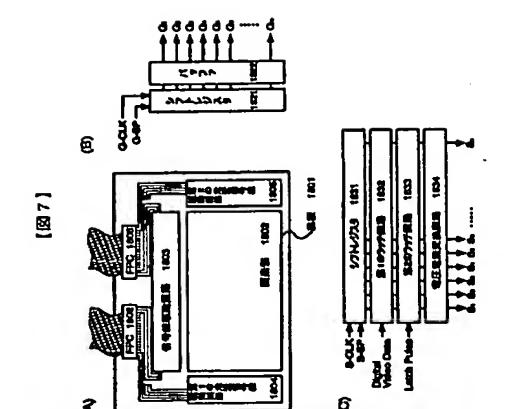
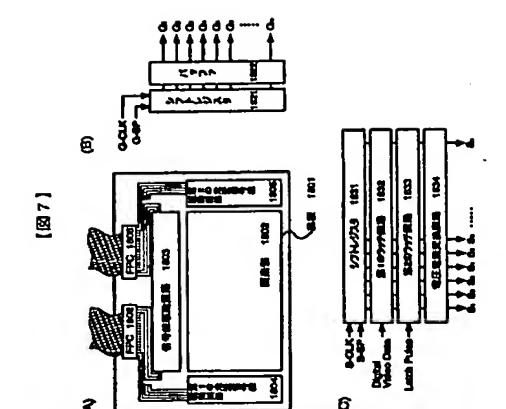
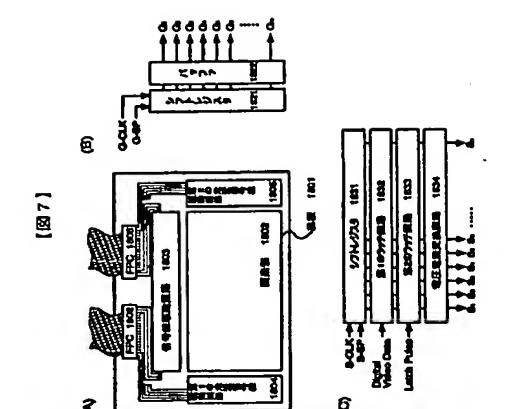
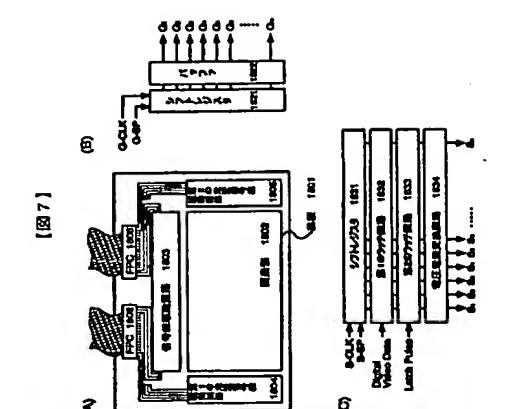
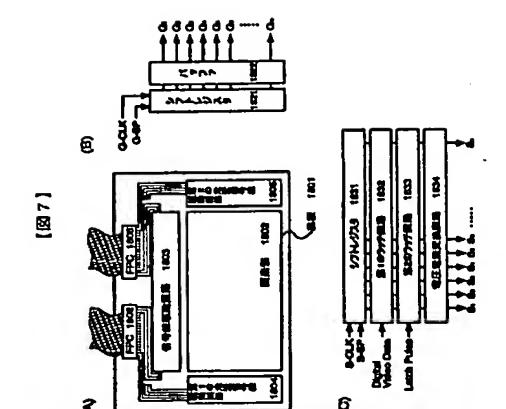
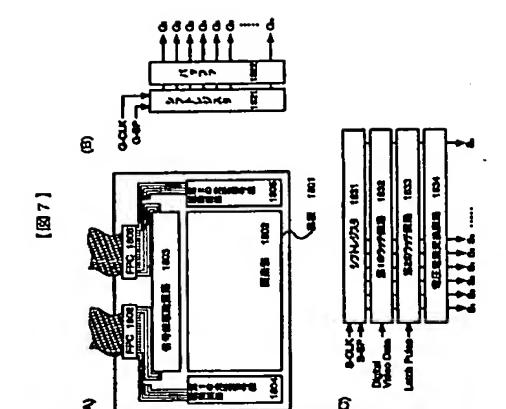
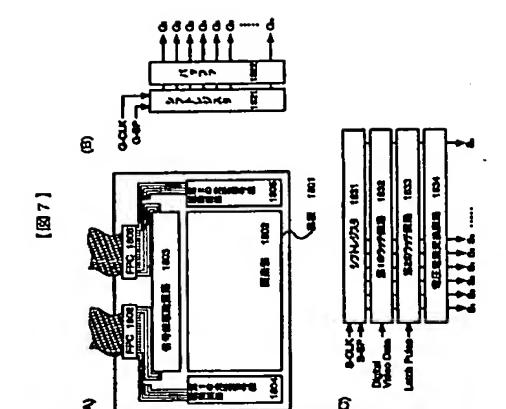
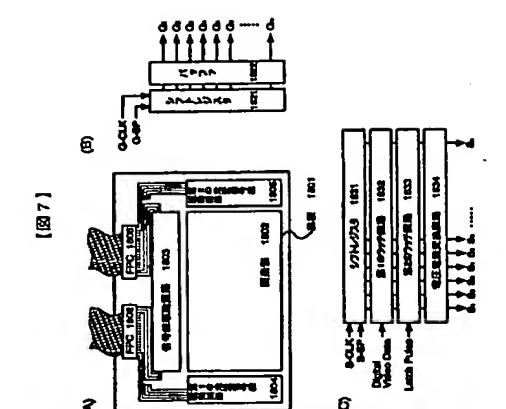
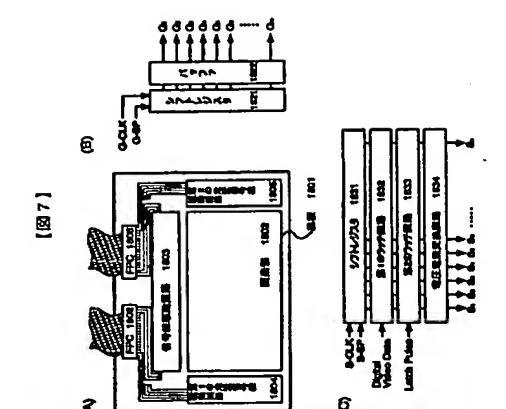
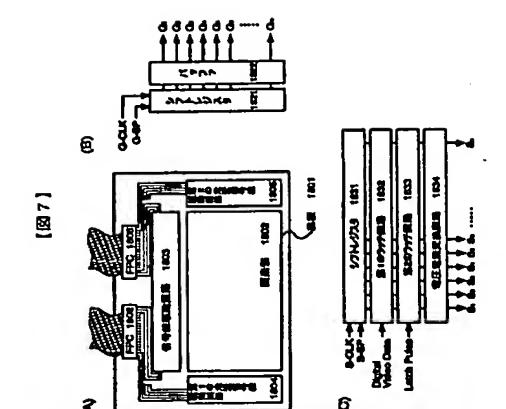
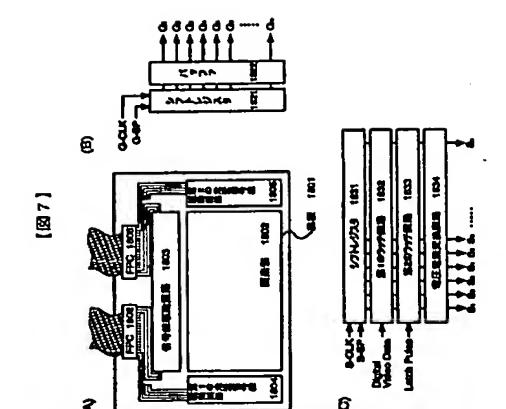
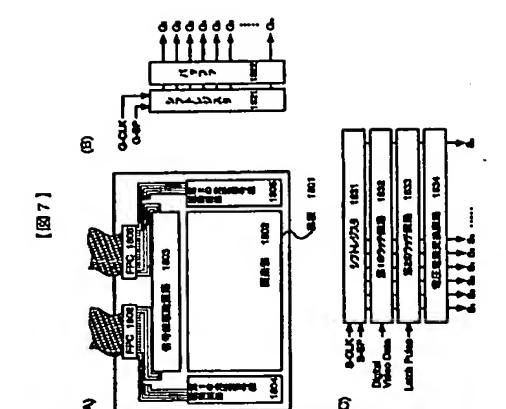
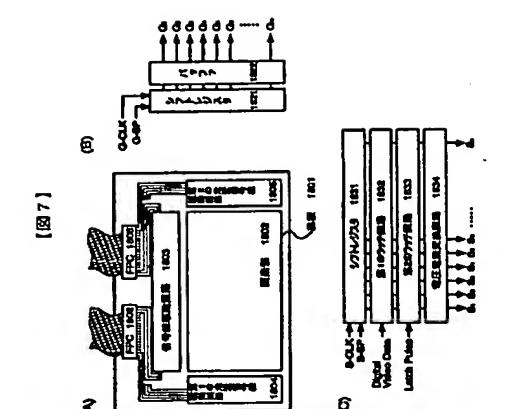
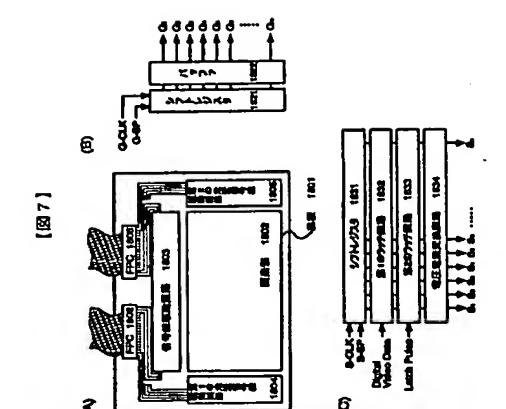
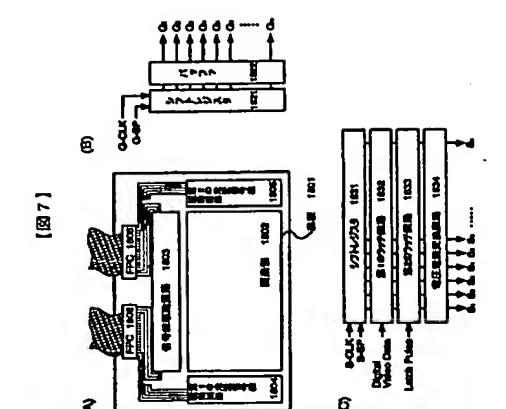
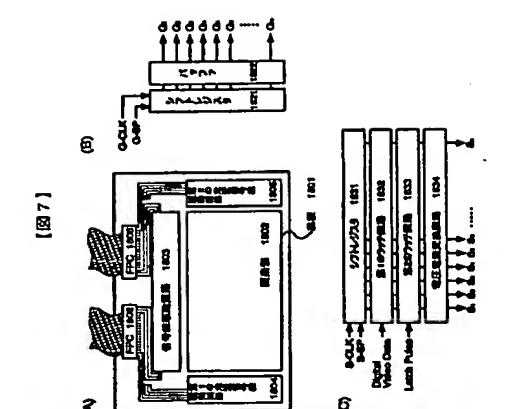
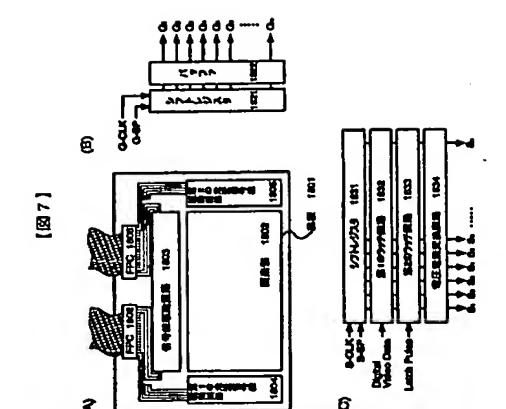
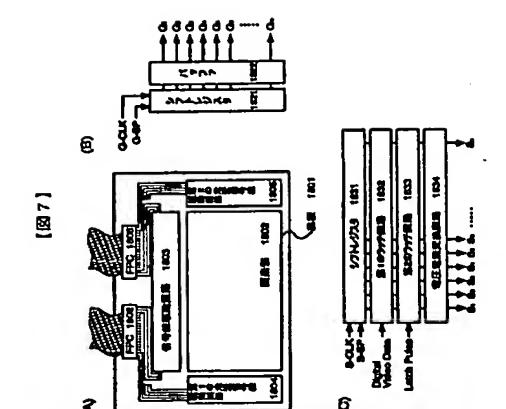
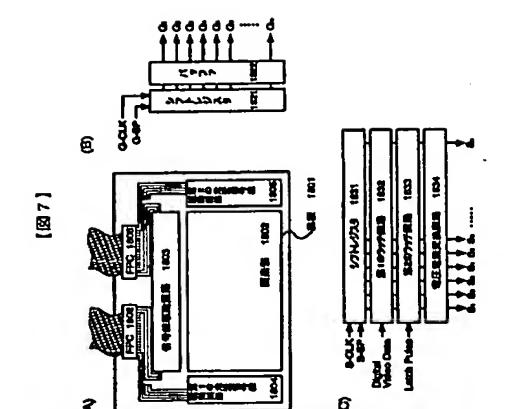
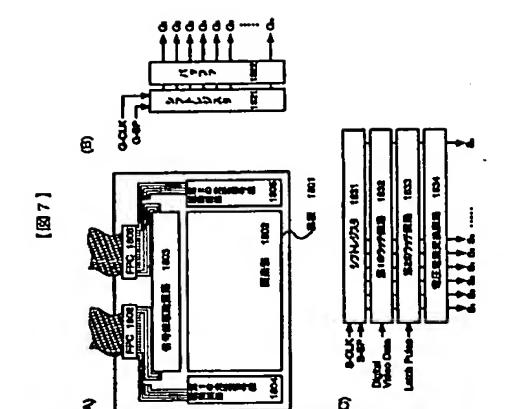
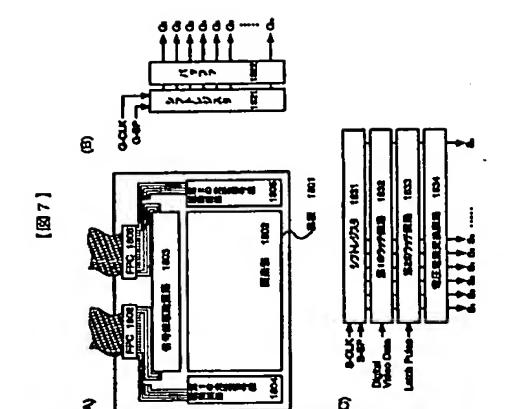
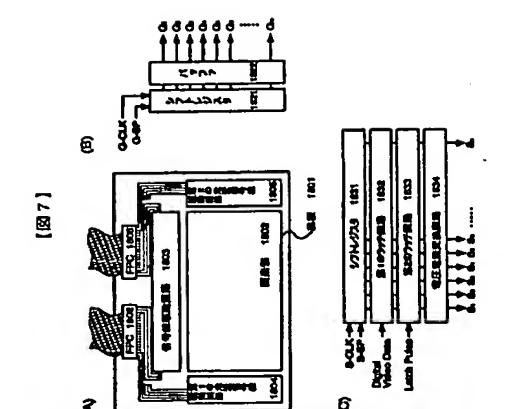
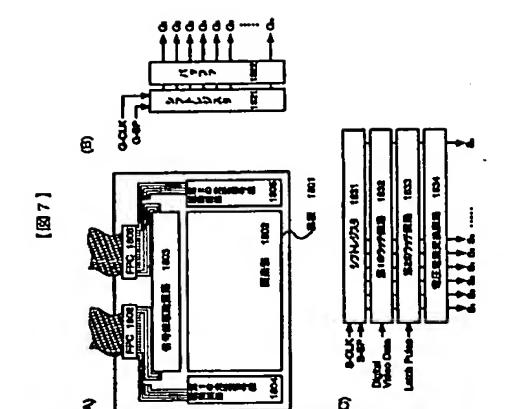
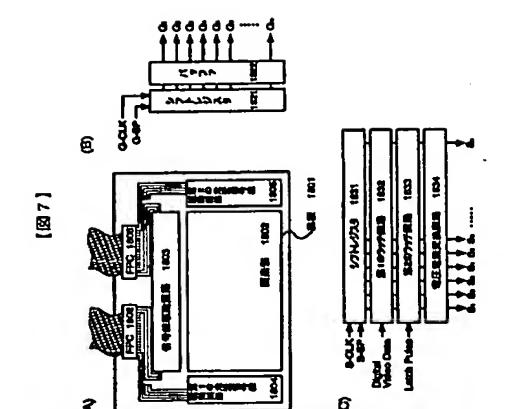
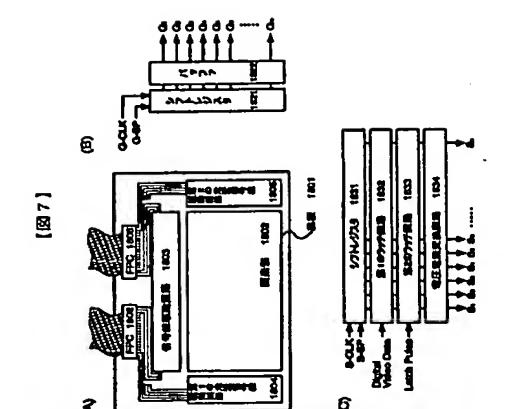
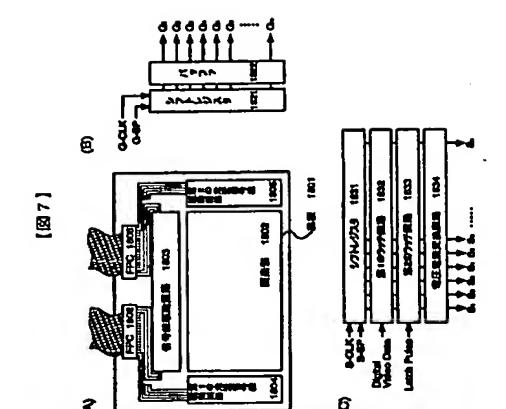
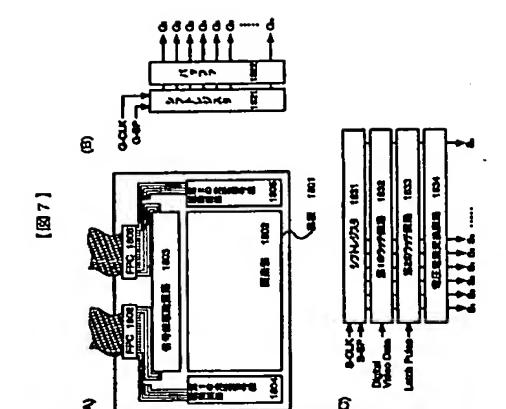
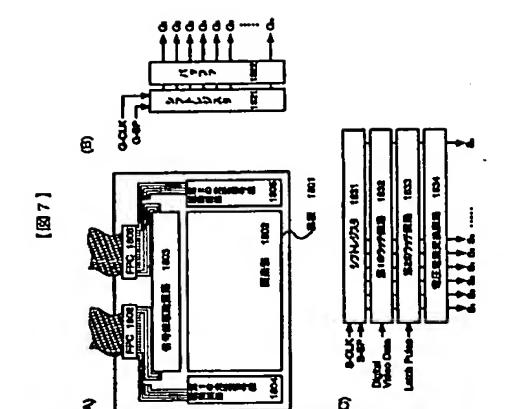
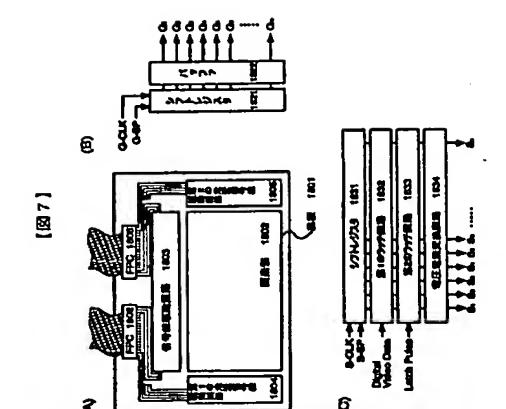
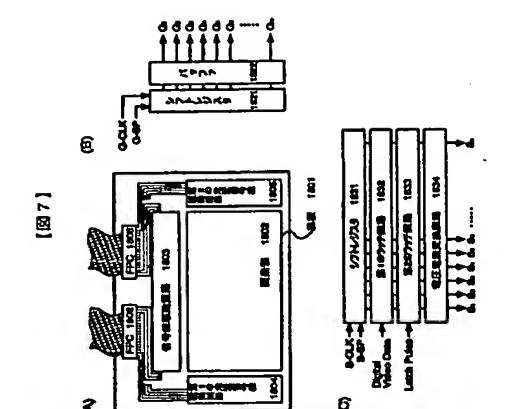
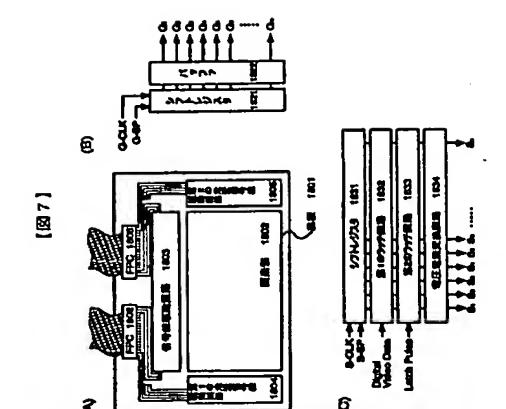
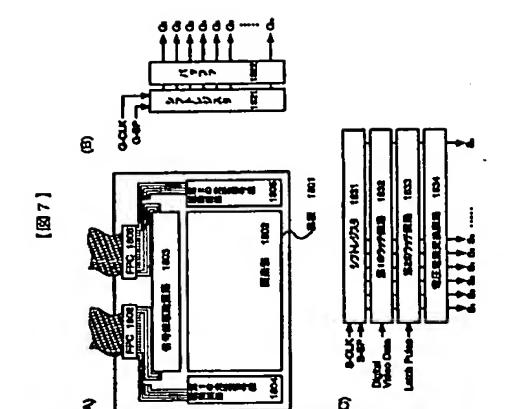
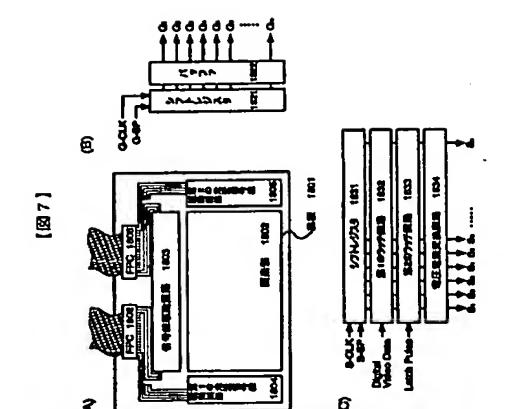
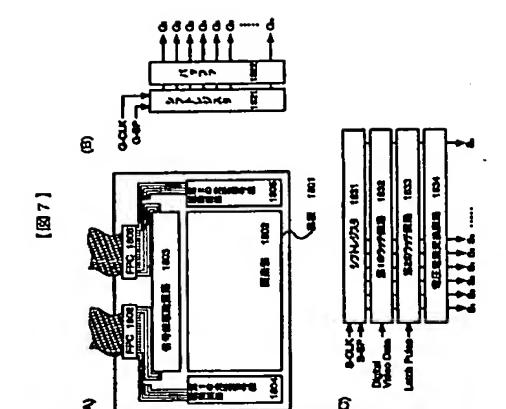
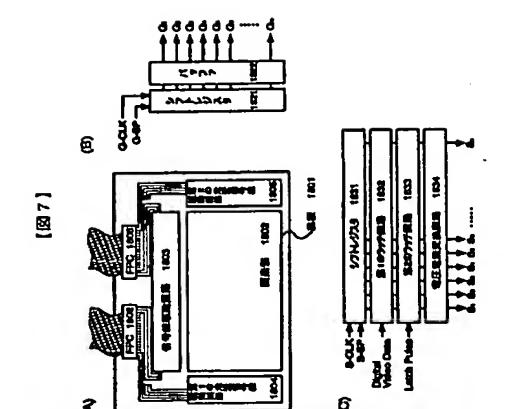
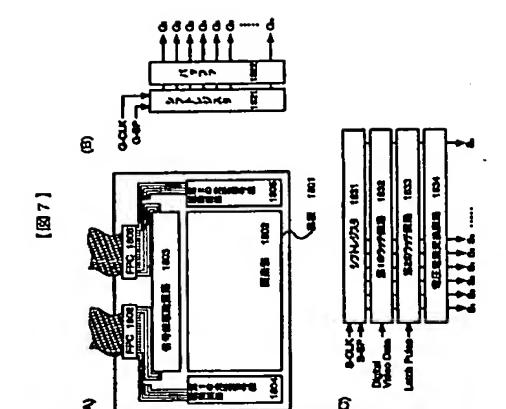
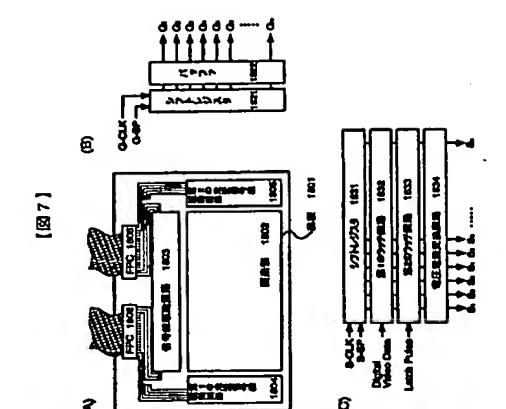
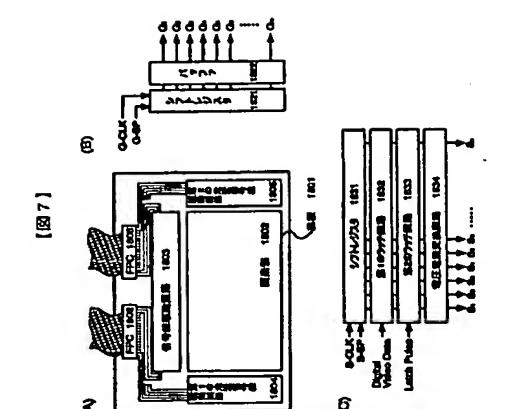
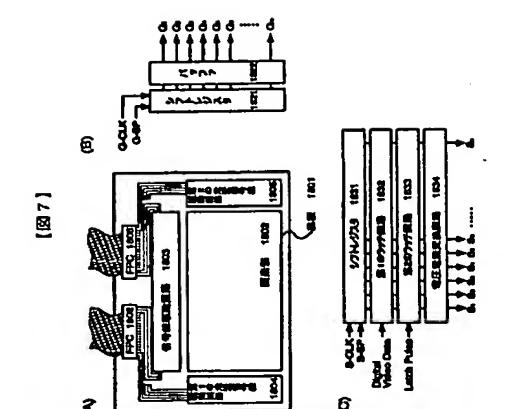
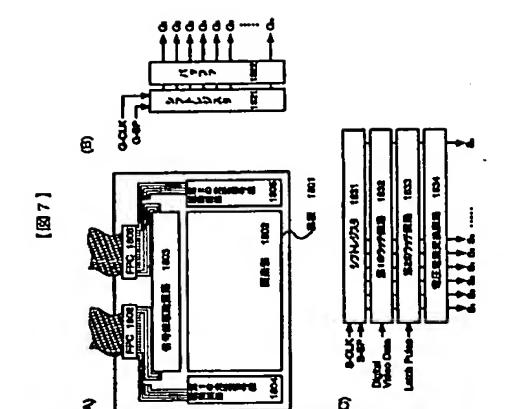
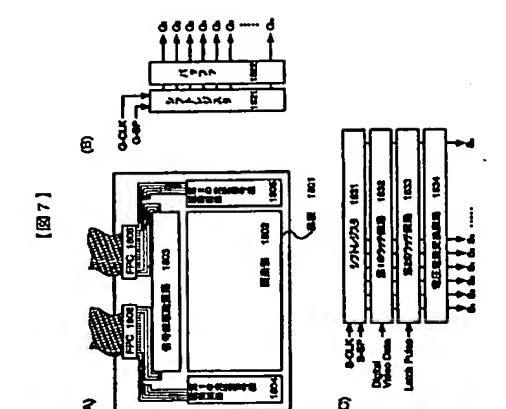
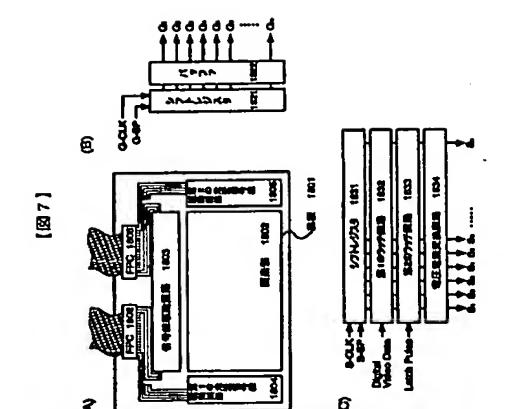
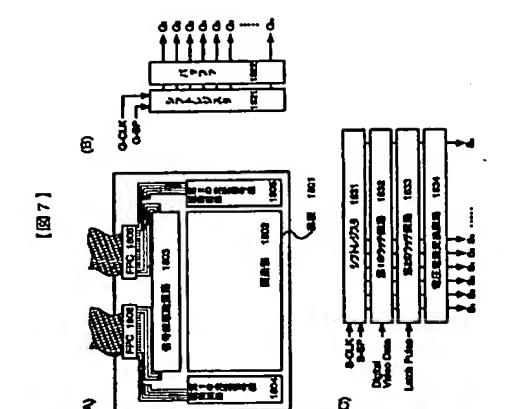
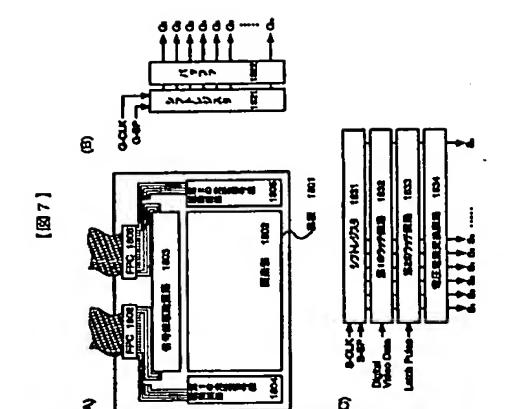
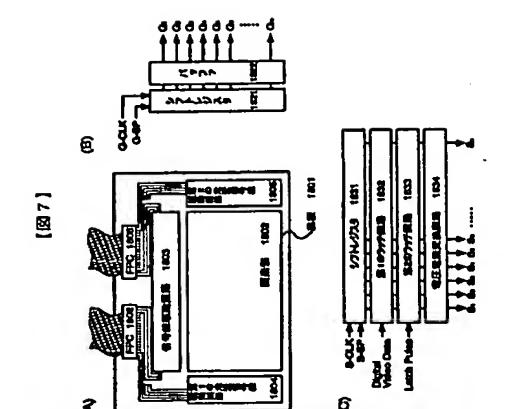
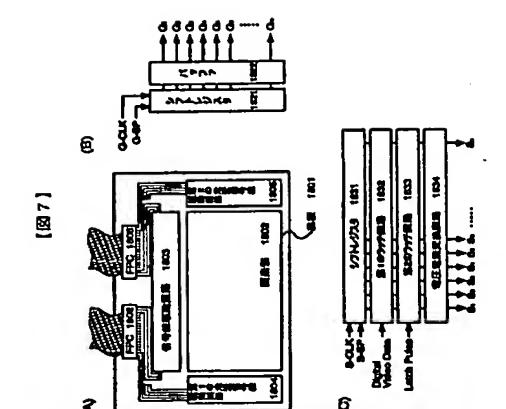
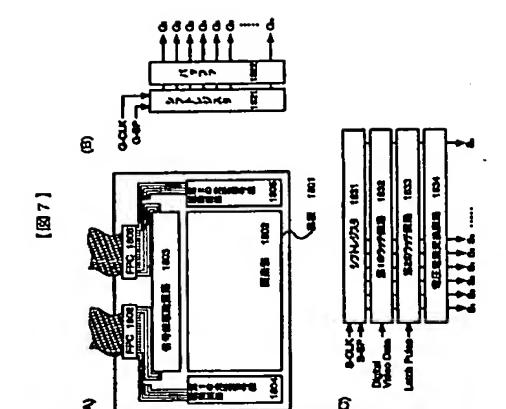
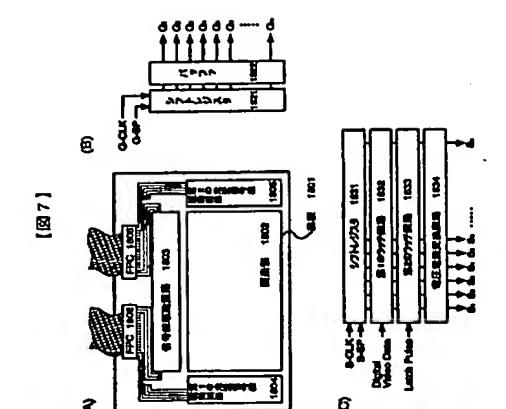
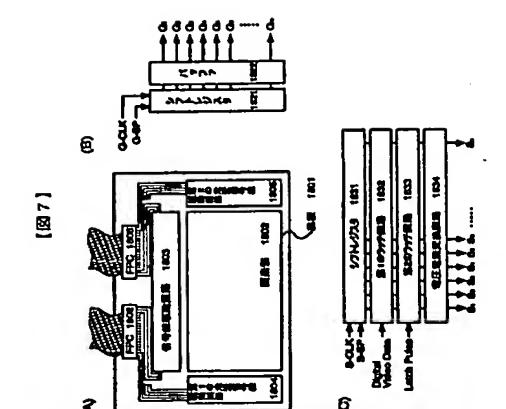
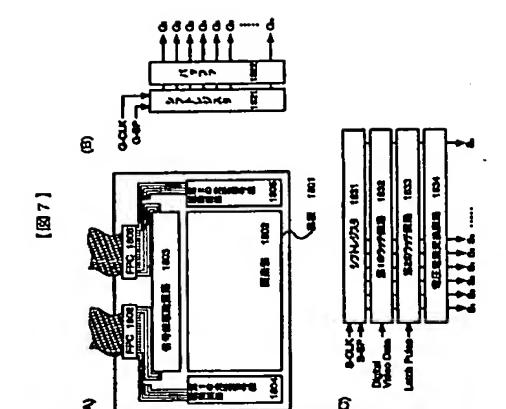
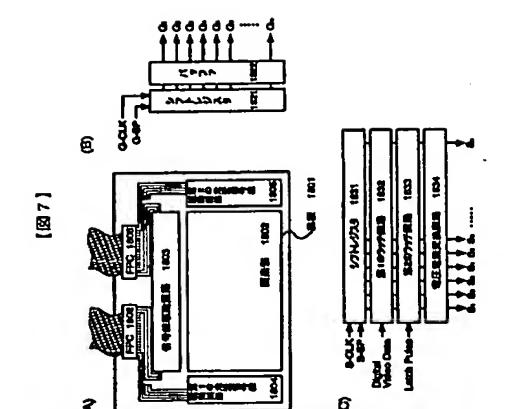
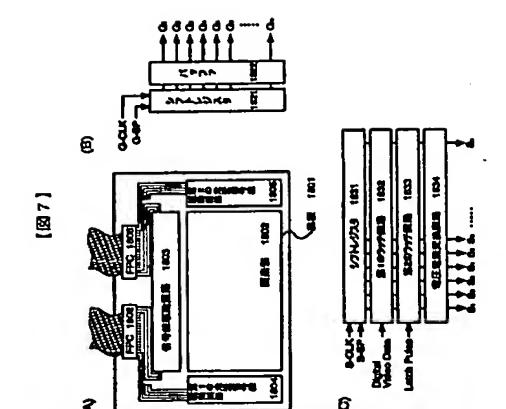
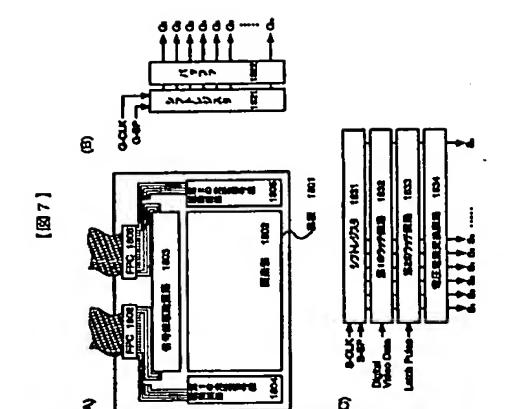
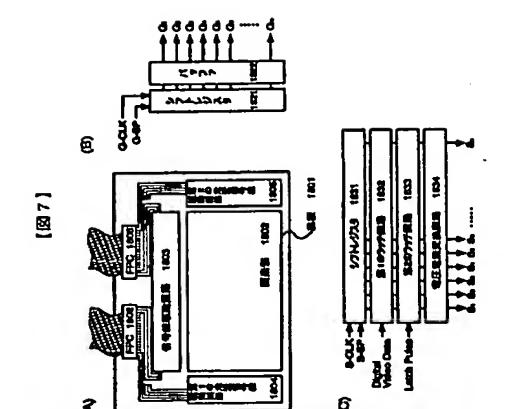
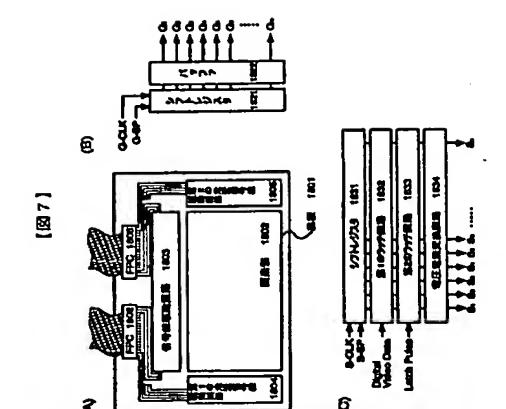
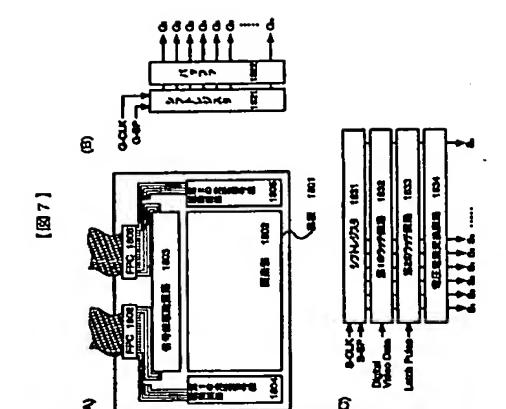
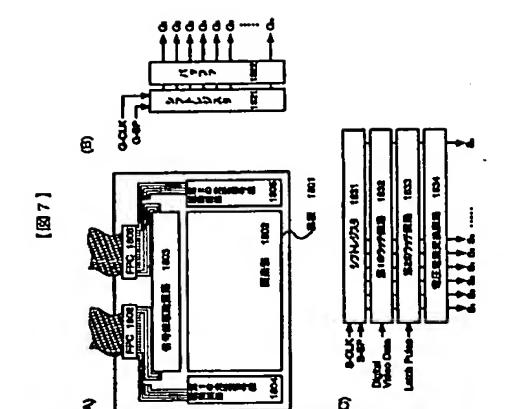
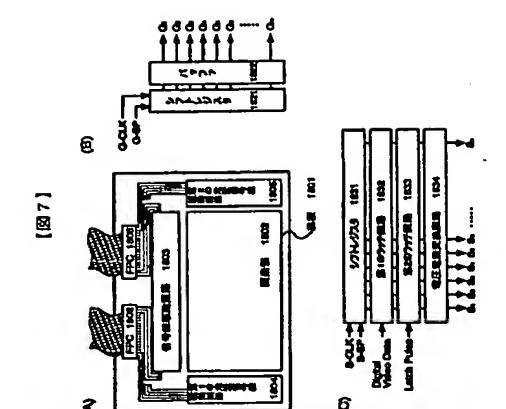
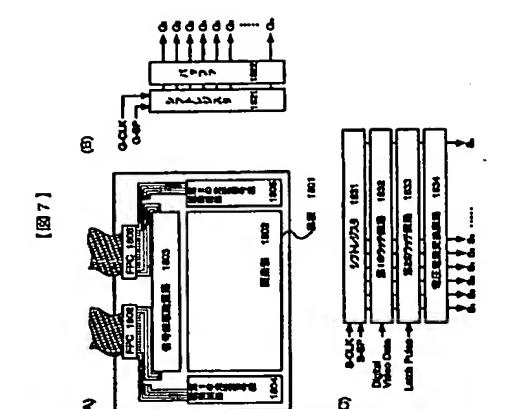
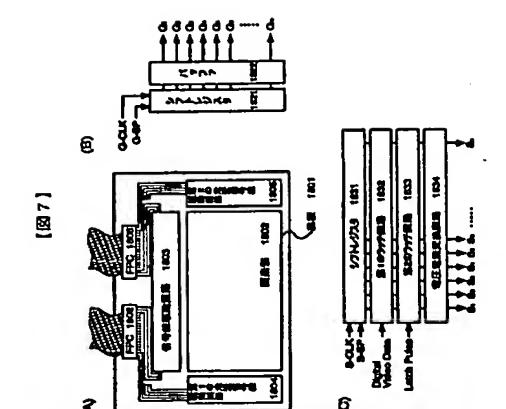
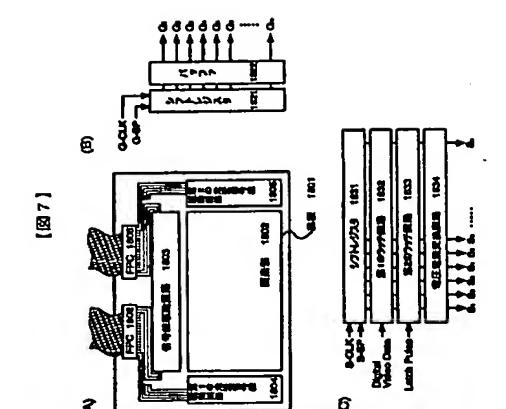
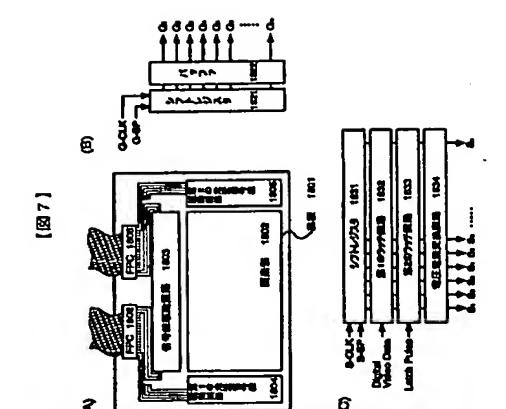
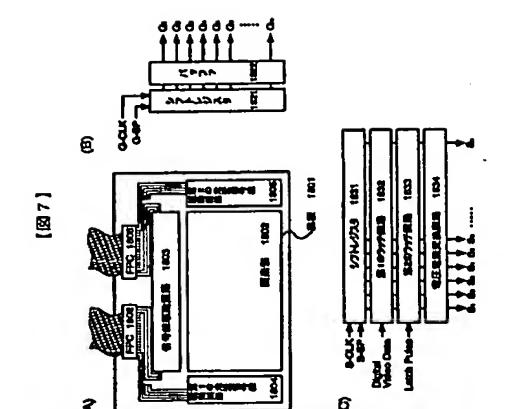
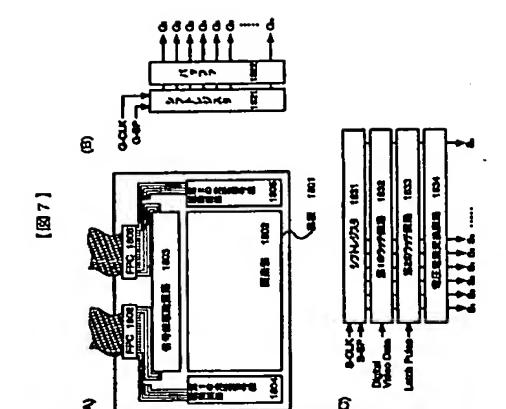
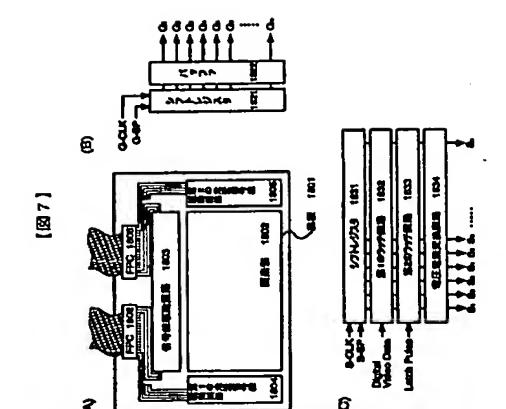
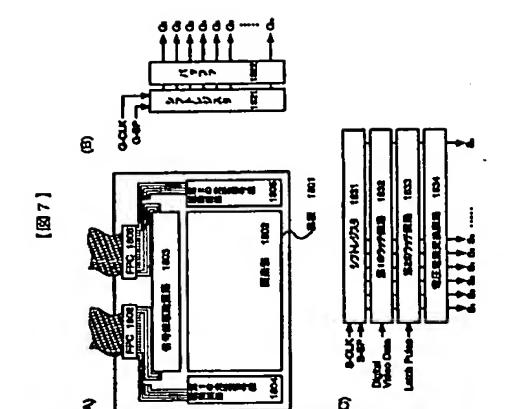
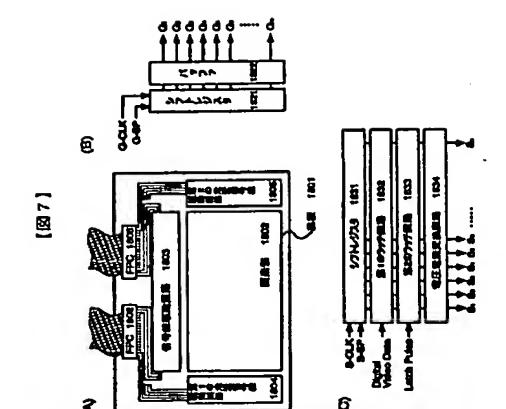
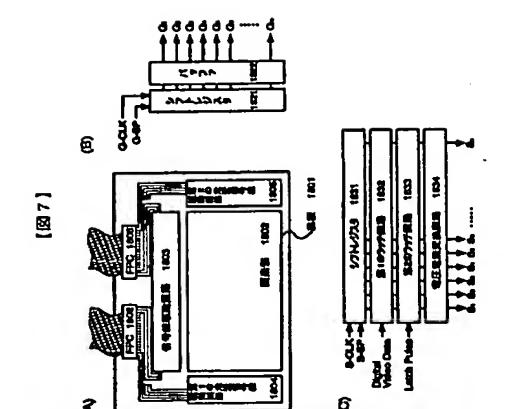
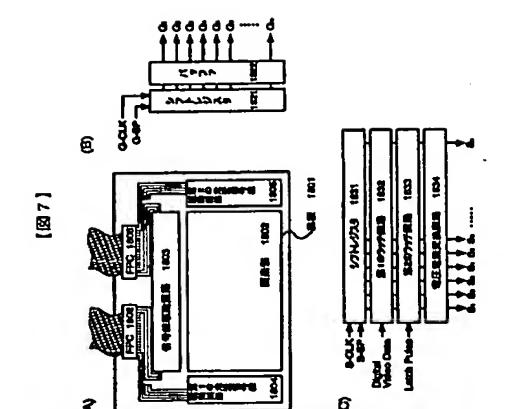
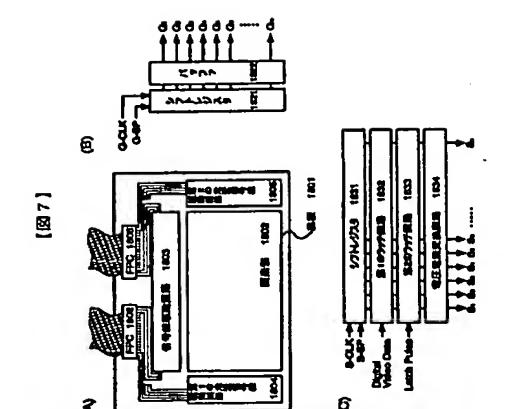
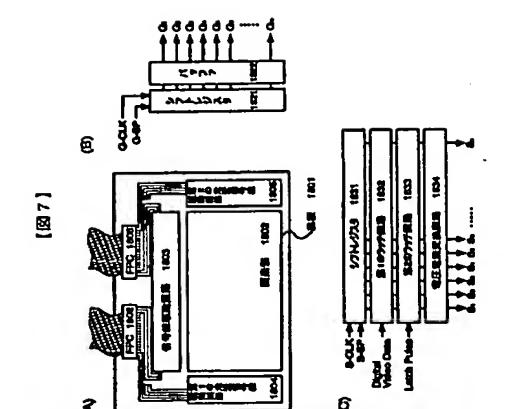
[図 15]



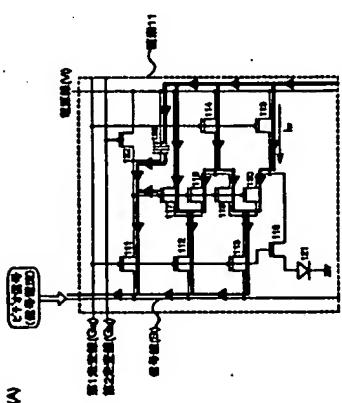
[図 16]



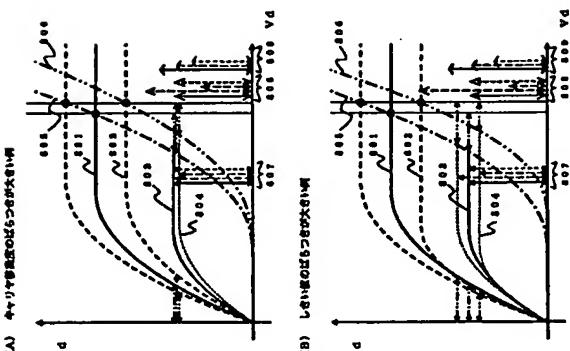
[図 17]



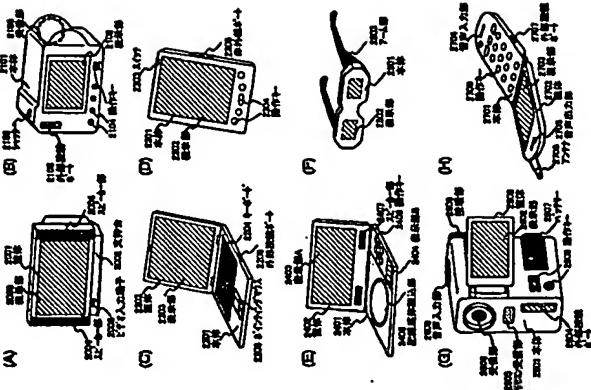
[図5]



181



18



[図101]

